(19)

(11) Publication number: **10075577**

PATENT ABSTRACTS OF JAPAN

(21) Application number: **08228457**

(22) Application date: **29.08.96**

(51) Intl. Cl.: **H02M 7/48** H01L 41/107

(30) Priority:

(43) Date of application publication: **17.03.98**

(84) Designated contracting states:

(71) Applicant: **NIPPON CEMENT CO LTD**

(72) Inventor: **FUJIMURA TAKESHI**
ISHIKAWA KATSUYUKI
TOYAMA MASAAKI

(74) Representative:

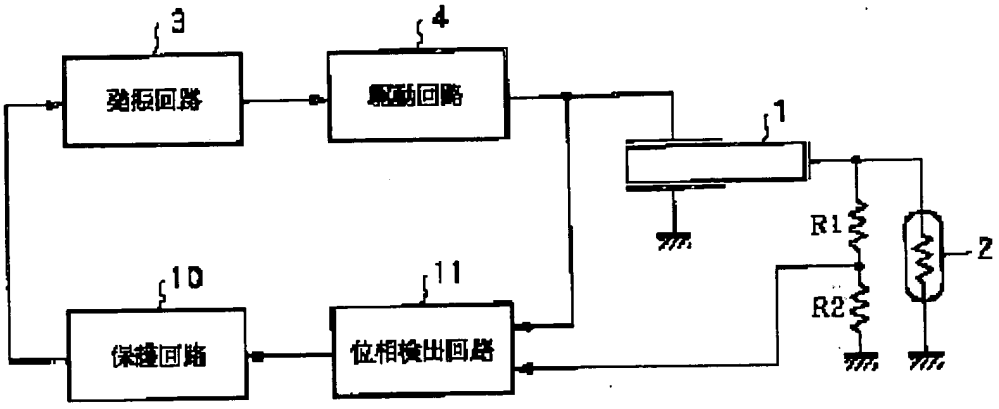
(54) CONTROL CIRCUIT OF PIEZOELECTRIC TRANSFORMER

(57) Abstract:

PROBLEM TO BE SOLVED: To stop the operation of a piezoelectric transformer whenever an abnormal state is produced on the output side of the piezoelectric transformer by a method in which the phase difference between the input voltage and output voltage of the piezoelectric transformer is detected and the piezoelectric transformer and its control circuit are protected in accordance with the change of the phase difference.

SOLUTION: An input voltage which is inputted to a piezoelectric transformer 1 from a driving circuit 4 and a divided output voltage which is obtained by voltage dividing resistors R1 and R2 are inputted to a phase detecting circuit 11 and the phase difference between the input voltage and the output voltdge is detected. A protective circuit 10 controls an oscillation circuit 3 so as to discontinue its oscillation and reduce its oscillation voltage in accordance

with the change of the detected voltage from the phase detecting circuit 11. With this constitution, even if a load connected to the piezoelectric transformer 1 is opened or short-circuited by some reason, the control circuit and the piezoelectric transformer 1 are protected from the breakdown.



(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開平10－75577
(43)公開日　平成10年(1998)3月17日

(51)Int.Cl.*	識別記号	庁内整理番号	FI		技術表示箇所
H02M 7/48		8110－5H	H02M 7/48	M	
H01L 41/107			H05B 41/24	A	
// H05B 41/24			H01L 41/08	A	

審査請求　未請求　請求項の数6　OL　(全6頁)

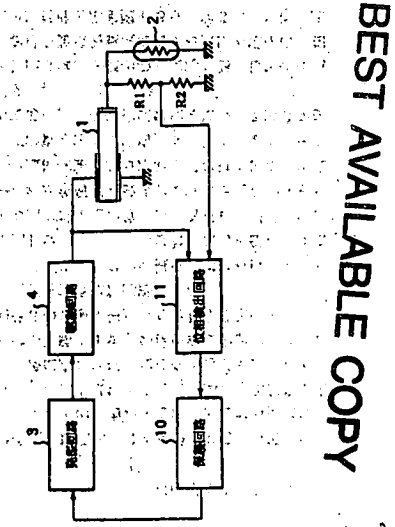
(21)出願番号　特願平8-228457

(22)出願日　平成8年(1996)8月29日

(71)出願人　000004190
日本セメント株式会社
東京都千代田区大手町1丁目6番1号
(72)発明者　藤村　健
東京都新宿区大久保3丁目14番3号217号室
(72)発明者　石川　勝之
東京都北区浮間1丁目3番1号314号室
(72)発明者　外山　正明
埼玉県浦和市常盤3丁目1番9号801号室
(74)代理人　弁理士　大塚　康徳　(外1名)

(54)【発明の名称】圧電トランスの制御回路

(57)【要約】
【課題】　本発明は、圧電トランスの出力側が異常状態になった場合に、迅速に動作を停止する圧電トランスの制御回路の提供。
【解決手段】　位相検出回路１１により、駆動回路４から圧電トランス１に入力される入力電圧と、圧電トランス１の出力電圧との位相差を検出し、圧電トランス１の出力側が異常状態になった際の位相差の変化に基づいて、保護回路１０により発振回路３の発振を停止させる。



1

【特許請求の範囲】
【請求項1】　発振手段が発生する交流信号に応じて、高電圧を発生する圧電トランスの制御回路であって、前記圧電トランスを駆動する入力電圧と前記圧電トランスの出力電圧との位相差を検出する位相差検出手段と、前記位相差検出手段により検出した位相差の変化に基づいて、前記圧電トランス及び自制御回路を保護する保護手段と、を備えることを特徴とする圧電トランスの制御回路。
【請求項2】　前記保護手段は、前記圧電トランスに負荷が接続されている状態における位相差と、無負荷状態または短絡状態における位相差との変化に基づいて動作することを特徴とする請求項1記載の圧電トランスの制御回路。
【請求項3】　前記保護手段は、前記圧電トランス及び自制御回路を保護すべく、前記発振手段による交流信号の発生を停止させることを特徴とする請求項2記載の圧電トランスの制御回路。
【請求項4】　前記保護手段は、前記圧電トランス及び自制御回路を保護すべく、前記圧電トランスの出力電圧を低減させる方向に前記発振手段による交流信号の発振を変化させることを特徴とする請求項2記載の圧電トランスの制御回路。
【請求項5】　前記位相差検出手段は、前記圧電トランスの入力電圧を所定値と比較する第1のコンパレータと、前記圧電トランスの出力電圧を前記所定値と比較する第2のコンパレータと、前記第1及び第2のコンパレータの出力値に基づいて、前記位相差を検出する位相比較器とを含み、その位相比較器の出力電圧に応じて、前記保護手段が動作することを特徴とする請求項2乃至請求項4の何れかに記載の圧電トランスの制御回路。
【請求項6】　前記位相比較器は、EX－OR（排他的論理和）ゲート型の位相比較器であることを特徴とする請求項5記載の圧電トランスの制御回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、冷陰極管の駆動装置に使用して好適な圧電トランスの制御回路に関する。
【０００２】
【従来の技術】近年、持ち運びの容易なノート型パーソナルコンピュータ等には、その表示装置として液晶表示器が広く用いられている。この液晶表示装置の内部には、液晶表示パネルを背照すべく、所謂バックライトとして冷陰極管が備えられており、その冷陰極管を点灯させるには、電池等の直流低電圧から点灯開始時1000Vrms以上、定常点灯時500Vrms程度の交流高電圧への変換が可能な昇圧インバータが必要とされる。従来、この昇圧インバータの昇圧用トランスとして、巻線トランスが使われていたが、最近では機械エネルギーを介して電気変換し昇圧を行う圧電トランスが使用されるようになりつつある。この圧電トランスは、出力負荷（負荷抵抗）の大きさによって昇圧比が大きく変化するという一般には好ましくない特性を有しているが、一方でこの負荷抵抗への依存性が冷陰極管のインバータ電源の特性に適しており、液晶表示器の薄型化、高効率化の要求に応える小型高圧電源として注目されている。このような圧電トランスの制御回路について図１を参照して説明する。
【０００３】図１は、従来例としての圧電トランスの制御回路のブロック構成図である。図中、１０１は圧電トランス、１０２は圧電トランス１０１の出力側に接続された冷陰極管等の負荷、１０３は正弦波や三角波、矩形波等の交流信号を発振する発振回路、そして１０４は発振回路１０３の発振信号により圧電トランス１０１を駆動する駆動回路である。圧電トランスは、入力される交流電圧の周波数に対して出力電圧が山状に大きく変化し、圧電トランスの有する共振周波数で駆動された際、出力電圧が極大値を採ること、そして温度や出力の負荷の大きさ（負荷抵抗）によってその共振周波数が変化することが一般に知られている。そこで、共振周波数と等しい発振信号を発振回路１０３より出力し、その発振信号に基づいて駆動回路１０４により圧電トランス１０１を駆動することにより、圧電トランス１０１の出力側に高電圧を発生させるのが一般的である。
【０００４】このような従来の圧電トランスの制御回路では、駆動回路１０４は発振回路１０３より入力される発振信号を電流増幅する回路として働き、略定電圧で駆動している。圧電トランスは一般に出力インピーダンスが高く、負荷が大きいほど入力信号の周波数に対する出力電圧の比（昇圧比）が大きいという特性を持っている。そのため、圧電トランス１０１に接続されている負荷１０２がはずれたり、負荷１０２が損傷する等によって圧電トランス１０１の出力側が開放された場合、出力側の負荷が無限大となり出力電圧が急激に増大し、非常に大きな電圧が生じるため、付近に実装されている他の部品に放電してその部品を破壊する恐れがある。また、圧電トランス自体も非常に大きな機械信号により破壊する恐れがある。
【０００５】そこで前記の問題に対して、例えば、特開平８－３３３５０号や特開平８－３３３５２号に開示される手法では、出力電圧や負荷電流を検出し、負荷の異常により出力電圧が所定の電圧値を超えた場合は発振回路の発振を停止することにより、制御回路及び圧電トランスを破壊から保護している。
【０００６】【発明が解決しようとする課題】しかしながら、上記従来例の手法においては、検出した出力電圧や負荷電流を直流電圧に変換する整流回路が備えられており、その整流回路の持つ時定数により電圧超過を検知してから発振

を停止するまでに要する時間が無視できないという問題があり、時には保護機能が働くまでに異常な出力電圧が発生し、制御回路や圧電トランスが破壊される可能性がある。

【0007】そこで、本発明は、圧電トランスの出力側が異常状態になった場合に、迅速に動作を停止する圧電トランスの制御回路の提供を目的とする。

【0008】

【課題を解決するための手段】上述の目的達成のため、本発明の圧電トランスの制御回路は、以下の構成を特徴とする。即ち、発振手段が発生する交流信号に応じて、高電圧を発生する圧電トランスの制御回路であって、前記圧電トランスを駆動する入力電圧と前記圧電トランスの出力電圧との位相差を検出する位相差検出手段と、前記位相差検出手段により検出した位相差の変化に基づいて、前記圧電トランス及び自制御回路を保護する保護手段と、を備えることを特徴とし、例えば前記保護手段は、前記圧電トランスに負荷が接続されている状態における位相差と、無負荷状態または短絡状態における位相差との変化に基づいて動作することを特徴とする。これにより、負荷の状態を検知し、迅速に保護動作を行う。

【0009】好ましくは前記保護手段は、前記圧電トランス及び自制御回路を保護すべく、前記発振手段による交流信号の発生を停止させる、或は、前記圧電トランスの出力電圧を低減させる方向に前記発振手段による交流信号の発振を変化させるとよい。また、例えば前記位相差検出手段は、前記圧電トランスの入力電圧を所定値と比較する第1のコンパレータと、前記圧電トランスの出力電圧を前記所定値と比較する第2のコンパレータと、前記第1及び第2のコンパレータの出力値に基づいて、前記位相差を検出する位相比較器とを含み、その位相比較器の出力電圧に応じて、前記保護手段を動作させるとよい。

【0010】

【発明の実施の形態】以下、本発明の一実施形態を図面を参照して説明する。はじめに、本発明を適用した圧電トランスの制御回路の構成を図2を参照して説明する。図2は、本発明の一実施形態としての圧電トランスの制御回路のブロック構成図である。

【0011】図中、1は圧電トランス、2は圧電トランス1の出力側に接続された冷陰極管等の負荷、3は正弦波や三角波、矩形波等の交流信号を発振する発振回路、そして4は発振回路3の発振信号により圧電トランス1を駆動する駆動回路である。これらの構成については従来の技術により公知なため、詳細な説明は省略する。R1，R2は、圧電トランス1の出力電圧を検出するための分圧抵抗であり、圧電トランス1とグランドの間に負荷2と並列に接続されている。R1及びR2の抵抗値の和は、例えば1MΩ以上であって負荷側に影響しない程度の値である。11は、駆動回路4から圧電トランス1へ入力される入力電圧と、R1及びR2によって分圧された圧電トランス1の出力電圧とが入力される位相検出回路であり、この入力電圧と出力電圧間の位相差を検出し、その位相差に応じた検出電圧を出力する。そして、10は位相検出回路11からの検出電圧の変化に基づいて、発振回路3の発振を停止させたり発振電圧を低下させるべく、制御を行う保護回路である。

【0012】ここで、本発明の概要を述べれば、駆動回路4から圧電トランス1に入力される入力電圧と、圧電トランス1の出力電圧との位相差に着目し、圧電トランス1に接続された負荷が解放状態になった場合や何らかの原因により短絡状態になった場合における位相差の変化に基づいて制御回路及び圧電トランス1を破壊から保護するものである。この位相差の変化について図3を参照して説明する。

【0013】図3は、本発明の一実施形態としての圧電トランスにおける発振周波数に対する入出力電圧の位相差及び出力電圧特性を示す図であり、図3（A）は、圧電トランス1に負荷2が接続されている場合の入出力電圧の位相差を示す特性曲線Pと無負荷状態における入出力電圧の位相差を示す特性曲線Qとを示す。また、図3（B）は、圧電トランス1に負荷2が接続されている場合の特性曲線Rを示す。

【0014】前述のように、圧電トランスはある共振周波数で昇圧比が最大となる周波数依存性を有しており、一般に、その共振周波数で圧電トランスを駆動することにより、圧電トランスの入力側より高電圧を得ている。図3（B）の曲線Rでは、圧電トランスをf0の発振周波数で駆動することにより出力電圧が最大値が得られる。また、図3（A）の曲線Pによれば、その状態における入出力電圧間の位相差の絶対値は、約35deg.である。ここで、圧電トランス1に接続されている負荷2がはずれたり損傷する等により、圧電トランス1の出力側が開放された場合、昇圧比が増大し非常に大きな出力電圧が生じる。また、同時に入出力間の位相差は、図3（A）中の曲線Qで示した位相差の特性に変化し、発振周波数f0においては入出力間の位相差は略0deg.になる。このように圧電トランス1は出力側の負荷2の変化に応じて、入出力電圧間の位相差が変化するという特性を有している。

【0015】位相差の変化は、位相検出回路11により検出電圧に変換され、保護回路10に入力されている。図4に位相検出回路から出力される検出電圧と、圧電トランスの出力電圧の時間変化を示す。図4は、本発明の一実施形態としての経過時間に対する出力電圧及び位相検出回路における検出電圧の関係を説明する図である。

【0016】図中、T0で圧電トランス1の出力側が開放状態になると、図4（A）に示すように出力電圧が急激に上昇し始める。それに伴い入出力間の位相差も変化するため、図4（B）に示すように位相検出回路11の検出電圧も変化する。検出電圧は、保護回路10に入力されており、保護回路10では、予め設定されているしきい値と検出電圧とを比較しているため、T1の時点で検出電圧がしきい値を超えると、例えば、保護回路10は発振回路3の発振を停止させることにより、圧電トランス2の駆動が停止され、図4（A）に示す出力電圧は0となる。この位相検出回路11の具体的な回路構成について述べれば、圧電トランス1の入力電圧及び出力電圧は、矩形波または正弦波である。そこで例えば、これらの電圧信号をEX-OR（排他的論理和）ゲート型の位相比較器に入力することによって入出力間電圧の位相差に応じたパルス電圧を入手し、その電圧を所定のしきい値と比較すればよい訳であるが、本実施形態では2つのコンパレータとEX-ORゲート型の位相比較器とにより実現する。この回路の具体的な構成を図5から図7を参照して説明する。

【0017】図5は、本発明の一実施形態としての位相検出回路の回路構成を示す図である。図中、EX-ORゲート11cには、2つのコンパレータ11a，11bが接続されている。そして、コンパレータ11aには、圧電トランス1の入力電圧が入力されており、所定の基準電圧Vs（＞0）と比較され、その比較結果として矩形波がEX-ORゲート11cに出力される（これをEX-ORゲート11cの入力1とする）。同様に、コンパレータ11bには、圧電トランス1の出力電圧が入力されており、所定の基準電圧Vs（＞0）と比較され、その比較結果として矩形波がEX-ORゲート11cに出力される（これをEX-ORゲート11cの入力2とする）。この状態を図6に示す。

【0018】図6は、本発明の一実施形態としての位相検出回路の動作状態を説明するタイムチャートである。図中、（a）は負荷が接続されている正常な動作状態、（b）は負荷が接続されていない解放状態、そして（c）は短絡状態を示しており、それぞれEX-ORゲート11cの入力1、入力2、そして出力の状態を表わす。（c）の負荷が短絡した場合は、圧電トランス1の出力電圧は0、基準電圧Vsは0よりも大きいため、同図の如くコンパレータ11bの出力値はある電圧値で略一定となり、EX-ORゲート11cの出力値は圧電トランス1の入力電圧だけに従って変化することになる。そこで、コンパレータ11aの出力（コンパレータ処理後の圧電トランス1の入力電圧）におけるパルス電圧の立ち上がりタイミングから所定時間T経過した時点でのEX-ORゲート11cの出力を検出し、オンの場合は正常と判断し、オフの場合は異常状態と判断する。ここで、所定時間Tの設定値としては、圧電トランス1の入出力電圧間の位相差を表わす前述の図3（B）の発振周波数f0における図3（A）の曲線Q（無負荷状態）と曲線P（負荷接続状態）との位相差の中間値（例えば、20deg.程度）を採ればよい。この判断を行う保護回路10の回路構成を図7に示す。

【0019】図7は、本発明の一実施形態としての保護回路の回路構成を示す図である。図中、Dフリップフロップ10bは、位相検出回路11からの出力がD端子、そして遅延回路10aで所定時間Tだけ遅延されたコンパレータ11aの出力がCK端子に入力され、その結果がQ端子から判定回路10cへ出力される。判定回路10cでは、異常状態の判定、即ち所定時間T経過後のEX-ORゲート11cの出力がオフの場合は異常状態と判断し、発振回路3の発振を停止させたり発振電圧を低下させる制御を行う。

【0020】尚、位相比較器11は、EX-OR（排他的論理和）ゲートに限られるものではなく、例えばR-Sフリップフロップ型の位相比較器であってもよい。また、保護回路10の保護動作については、発振回路3の発振を停止させるだけに限られるものではなく、圧電トランス1の出力電圧を低減させる方向に発振回路3の発振を変化させてもよいことは言うまでもない。

【0021】<本実施形態の効果>

（1）本実施形態によれば、位相検出回路11を2つのコンパレータ11a，11b及びEX-ORゲート型の位相比較器11cにより構成したことにより、従来技術で述べたような整流回路を備えていないため、負荷異常の発生の際、迅速に保護機能を働かせることができる。

（2）圧電トランス1の出力側が開放状態、または短絡状態になったことを、圧電トランス1の入出力間の位相差の変化を検出する位相検出回路11にて検出し、その検出電圧に基づいて発振回路3の発振を停止させる保護回路10を備えることにより、出力異常による制御回路、圧電トランス、そして周辺部品の破損を防止することができる。このため、高電圧に対する絶縁対策を簡易化することができるため、例えば、冷陰極管をバックライトとする液晶表示器の薄型化、軽量化も実現する。

【0022】

【発明の効果】以上説明したように、本発明によれば、本発明は、圧電トランスの出力側が異常状態になった場合に、迅速に動作を停止する圧電トランスの制御回路の提供が実現する。

【図面の簡単な説明】

【図1】従来例としての圧電トランスの制御回路のブロック構成図である。

【図2】本発明の一実施形態としての圧電トランスの制御回路のブロック構成図である。

【図3】本発明の一実施形態としての圧電トランスにおける発振周波数に対する入出力電圧の位相差及び出力電圧特性を示す図である。

【図4】本発明の一実施形態としての経過時間に対する出力電圧及び位相検出回路における検出電圧の関係を説明する図である。

【図5】本発明の一実施形態としての位相検出回路の回

7

路構成を示す図である。

【図6】本発明の一実施形態としての位相検出回路の動作状態を説明するタイムチャートである。

【図7】本発明の一実施形態としての保護回路の回路構成を示す図である。

【符号の説明】

1，101　圧電トランス

2，102　負荷

3，103　発振回路

8

4，104　駆動回路

10　保護回路

10a　遅延回路

10b　Dフリップフロップ

10c　判定回路

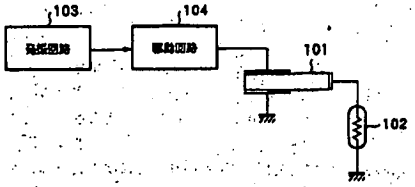
11　位相検出回路

11a，11b　コンパレータ

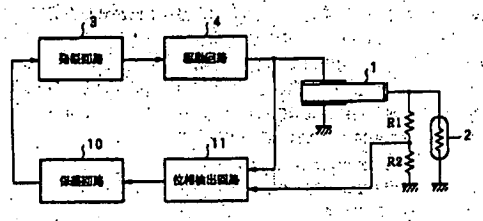
11c　EX－ORゲート

R1，R2　分圧抵抗

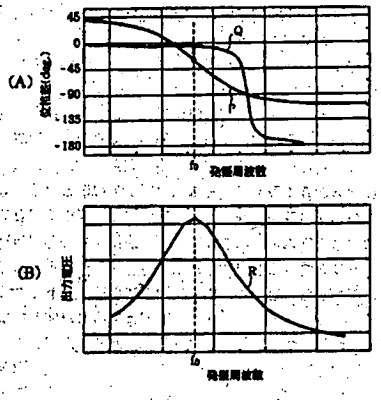
【図1】



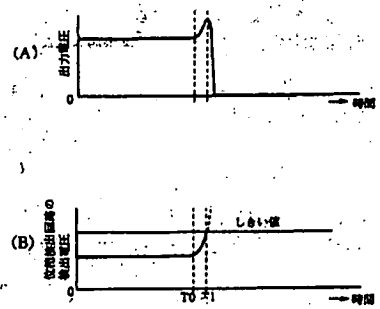
【図2】



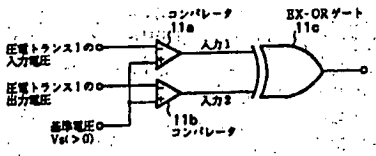
【図3】



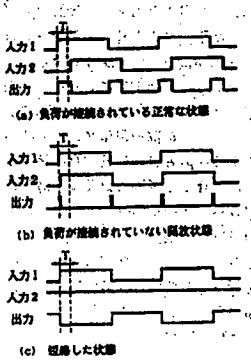
【図4】



【図5】



【図6】



【図7】